

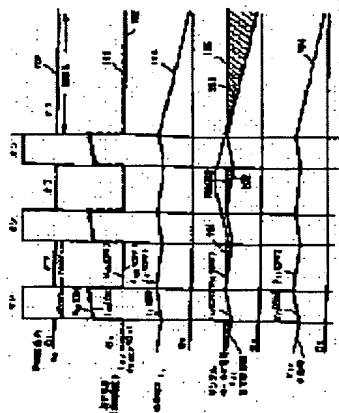
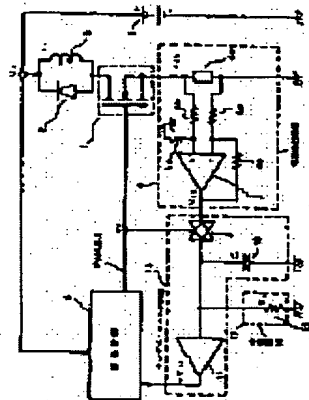
## CURRENT CONTROL CIRCUIT FOR SEMICONDUCTOR POWER SWITCH AND GENERATOR CONTROL METHOD EMPLOYING THE CIRCUIT

Patent number: JP4197100  
Publication date: 1992-07-16  
Inventor: SUGAYA ATSUSHI; others: 03  
Applicant: HITACHI LTD  
Classification:  
- International: H02P9/30; G05F1/56  
- european:  
Application number: JP19900323142 19901128  
Priority number(s):

### Abstract of JP4197100

**PURPOSE:** To obtain a current control circuit for continuously controlling the load current of an inductive load regardless of the conducting/nonconducting state of a semiconductor power switch without requiring a special external component by providing means for holding a current detection value under conducting state of the semiconductor power switch and means for correcting thus held current value to a value under nonconducting state.

**CONSTITUTION:** When current control is performed, e.g. a load current is controlled continuously to a constant level, flywheel current if (off) at the time of turn OFF of a semiconductor power switch 1 is detected. In other words, an analog switch 9 is turned ON when a PWM output e0 is turned ON and a current detection voltage value VKK(on) is outputted, as it is, as a sample and hold voltage Vff(on) whereas when the PWM output e0 is turned OFF, the analog switch 9 is turned OFF and the final value of the current detection voltage value VKK(on) is sampled and held in a capacitor 10 and then it is outputted as a sample and hold voltage Vff(off). The sample and hold voltage Vff(off) is then reduced through a discharge circuit 17 thus producing an output waveform 106 equivalent to the load current if(off).



(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許番号

第2776980号

(45) 発行日 平成10年(1998) 7月16日

(24) 登録日 平成10年(1998) 5月1日

(5i) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 2 P 9/30		H 0 2 P 9/30	A
G 0 5 F 1/10	3 0 1	G 0 5 F 1/10	3 0 1 B
H 0 2 P 7/29		H 0 2 P 7/29	G

請求項の数6 (全 8 頁)

(21) 出願番号 特願平2-323142

(22) 出願日 平成2年(1990) 11月28日

(65) 公開番号 特開平4-197100

(43) 公開日 平成4年(1992) 7月16日

審査請求日 平成6年(1994) 11月2日

前置審査

(73) 特許権者 999999999  
株式会社日立製作所  
東京都千代田区神田駿河台4丁目6番地

(72) 発明者 菅家 厚  
茨城県日立市久慈町4026番地 株式会社  
日立製作所日立研究所内

(72) 発明者 丸本 勝二  
茨城県日立市久慈町4026番地 株式会社  
日立製作所日立研究所内

(72) 発明者 増野 敬一  
茨城県勝田市大字高場2520番地 株式会  
社日立製作所佐和工場内

(74) 代理人 弁理士 小川 勝男 (外1名)

審査官 丸山 英行

最終頁に続く

(54) 【発明の名称】 半導体パワースイッチの電流検出装置

(57) 【特許請求の範囲】

【請求項1】 誘導負荷の導通電流を制御する半導体パワースイッチと、該パワースイッチの駆動回路と、該パワースイッチの導通電流を電圧として検出する電流検出回路と、該電流検出回路の電流検出電圧値を記憶し、かつ電圧保持のためのコンデンサと、入力電圧を切り替えるためのアナログスイッチと、コンデンサの充電電圧を出力するための入力アンプとからなるサンプルホールド回路と、該サンプルホールド回路の電圧を前記半導体パワースイッチの非導通時に前記誘導負荷の時定数に合わせて補正する放電回路とを備えてなる半導体パワースイッチの電流検出装置において、

前記放電回路に、前記サンプルホールド回路のコンデンサの充電電圧を放電するための放電手段と、該放電手段に直列接続され、前記充電電圧の放電時間を制限するた

めの電子スイッチと、該電子スイッチを駆動するための内部発信器とを設け、かつ前記放電手段と電子スイッチを前記サンプルホールド回路のコンデンサに並列接続することを特徴とした半導体パワースイッチの電流検出装置。

【請求項2】 請求項1記載において、前記放電手段は抵抗体もしくは定電流源であることを特徴とした半導体パワースイッチの電流検出装置。

【請求項3】 請求項1記載において、前記電子スイッチを駆動する内部発信器に周波数及びデューティ比可変手段を設けることを特徴とした半導体パワースイッチの電流検出装置。

【請求項4】 請求項1記載において、前記サンプルホールド回路のコンデンサの低電位側を回路の設置電圧より高電位として仮想設置電位とすることを特徴とした半導

体パワースイッチの電流検出装置。

【請求項5】請求項1記載において、前記放電回路の放電手段にトランジスタによる能動負荷を用い、微小電流で放電することを特徴とした半導体パワースイッチの電流検出装置。

【請求項6】請求項1記載において、半導体パワートランジスタの電流検出装置は車両用充電発電機の励磁電流制御回路に用いられることを特徴とした半導体パワースイッチの電流検出装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は半導体パワースイッチの電流制御回路に係り、例えば車両用充電機制御装置、インバータ制御装置等に好適な半導体パワースイッチの電流制御回路に関する。

〔従来の技術〕

従来より誘導負荷の電流を制御する装置としては例えば特開昭58-500046号公報に記載のように、検出した負荷電流を基準電圧と比較して半導体パワースイッチが導通状態において出力電流を制限する方式が知られている。

〔発明が解決しようとする課題〕

上記従来技術は負荷電流を、半導体パワースイッチ素子を介して検出するものであり、基準電圧と比較して一定レベルに達したときのみ断続的に電流値を制限するものである。また、周囲温度や外乱にあっても負荷電流の変動が少なくなるように安定に電流を制御するには、連続的に電流を制御することが望ましい。

上記従来技術においても負荷と直列に検出抵抗を設けたり、ホール素子などの電流検出素子を用いれば連続的に電流を制御することが可能である。しかし、その際ホール素子及びその駆動回路が必要になり、電流制御のシステム構成上部品点数が増加し、制御回路を一体化して実装することが困難であった。

本発明の目的は、誘導負荷の負荷電流を半導体パワースイッチの導通、非導通状態によらず連続的に制御出来るような電流検出装置を特別な外付け部品の追加なしに提供するものである。

本発明の他の目的は、集積化に適した半導体パワースイッチの電流検出装置を提供するものである。

〔課題を解決するための手段〕

本発明は、誘導負荷の導通電流を制御する半導体パワースイッチと、該パワースイッチの駆動回路と、該パワースイッチの導通電流を電圧として検出する電流検出回路と、該電流検出回路の電流検出電圧値を記憶し、かつ電圧保持のためのコンデンサと、入力電圧を切り替えるためのアナログスイッチと、コンデンサの充電電圧を出力するための入力アンプとからなるサンプルホールド回路と、該サンプルホールド回路の電圧を前記半導体パワースイッチの非導通時に前記誘導負荷の時定数に合わせ

て補正する放電回路とを備えてなる半導体パワースイッチの電流検出装置において、前記放電回路に、前記サンプルホールド回路のコンデンサの充電電圧を放電するための放電手段と、該放電手段に直列接続され、前記充電電圧の放電時間を制限するための電子スイッチと、該電子スイッチを駆動するための内部発信器とを設け、かつ前記放電手段と電子スイッチを前記サンプルホールド回路のコンデンサに並列接続する半導体パワースイッチの電流検出装置によって達成される。

本発明の好ましくは、前記放電手段を抵抗体もしくは定電流源とした半導体パワースイッチの電流検出装置によって達成される。

本発明の好ましくは、前記電子スイッチを駆動する内部発信器に周波数及びデューティ比可変手段を設けた半導体パワースイッチの電流検出装置によって達成される。

本発明の好ましくは、前記サンプルホールド回路のコンデンサの低電位側を回路の設置電圧より高電位として仮想設置電位とした半導体パワースイッチの電流検出装置によって達成される。

本発明の好ましくは、前記放電回路の放電手段にトランジスタによる能動負荷を用い、微小電流で放電させた半導体パワースイッチの電流検出装置によって達成される。

本発明の好ましくは、車両用充電発電機の励磁電流制御回路に用いた半導体パワースイッチの電流検出装置によって達成される。

〔作用〕

半導体パワースイッチの導通、非導通状態によらず負荷電流の検出値を連続値として得ることが出来れば、電流フィードバック値が断続しないため制御ループが安定し、平均値電流の誤差による誤動作を無くすることが出来る。

〔実施例〕

以下、本発明の実施例を第1図により説明する。半導体パワースイッチ1は、誘導負荷3と電流検出抵抗6eを介して直流電源4間に接続され、前記誘導負荷3は半導体パワースイッチ1の高電位側に、電流検出抵抗6eは低電位側に接続されている。また、誘導負荷3と並列にフライホイールダイオード2が接続されている。

ただし、誘導負荷の接続は高電位側であっても低電位側であっても特に限定されない。

半導体パワースイッチ1は本実施例においてNチャネルパワーMOSFETで説明するが、PチャネルパワーMOSFETやバイポーラ素子、MOSFETとバイポーラの複合素子であるIGBTであってもかまわない。誘導負荷3は電気的にはL成分とR成分からなり、L/Rの時定数を持つ。

電流検出回路8は電流検出抵抗6eに0.1オーム以下の低抵抗を用い、アンプ7とネットワーク抵抗6a, 6b, 6c, 6dによって半導体パワースイッチ1に流れる素子電流i

$i_{ch}$ をアンプ7の出力電圧値 $V_{kk}$ として検出する。アンプ7の出力は、サンプルホールド回路13を介し、半導体パワースイッチ1の駆動回路5へとフィードバックされる。サンプルホールド回路13は、駆動回路5のPWM出力 $e_o$ によって駆動されるアナログスイッチ9と、アンプ7の出力電圧値 $V_{kk}$ を保持するコンデンサ10と、サンプルホールド電圧 $V_{ff}$ を出力として駆動回路5にフィードバックするFET入力のパッファアンプ11とから構成されている。

放電回路17は、前記サンプルホールド回路13のコンデンサ10の充電電圧を放電するための抵抗12からなる放電手段と、該放電手段に直列接続され、前記充電電圧の放電時間を制限するための電子スイッチ15と、該電子スイッチを駆動するための内部発信器14とから構成され、かつ前記放電手段と電子スイッチ15を前記サンプルホールド回路13のコンデンサ10に並列接続している。

該放電回路17は、誘導負荷3のL/Rの時定数と等価な時定数を有する。すなわち、コンデンサ10の容量が数十pFの小容量時においても、放電回路17が無ければリーク放電のみの動作となり、見かけ上サンプルホールド電圧 $V_{ik}$ の時定数が無限大（放電抵抗が無限大と等価になる状態）となる。その結果、誘導負荷3の負荷 $I_L$ の時定数と、サンプルホールド回路13により素子電流 $I_{ch}$ を検出したサンプルホールド電圧 $V_{ik}$ の時定数に不整合が生じ電流制御が不安定になる。このような、時定数の不整合により電流制御が不安定になることを防ぐために、放電回路17によりサンプルホールド電圧 $V_{ik}$ の放電時定数と、負荷電流 $I_L$ の時定数の整合を行う。

しかし、コンデンサ10の容量が数十pFの小容量時において、制御対象となる誘導負荷3のL/Rの時定数に対応付けるには、放電回路17の等価的な抵抗値を数メガオーム以上と大きくする必要があり、集積化等を考えると非現実的な値となる。そこで、本実施例では特に放電回路17を発振器14とスイッチ15を用いて、間欠パルスにより間欠的に抵抗12で放電する回路構成にしている。間欠的に放電することで、抵抗値を集積化が可能な数十から数百キロオームの通常の値を用いることが出来るようになる。発振器14とスイッチ15は半導体として集積化に適しており、特に発振器14は原発振における基本クロックを分周して論理合成により狭い間欠パルス発生する等、容易に実現可能である。放電回路17において放電に抵抗12を用いる場合、抵抗が受動素子のため電源電圧の影響を受けにくく放電時定数の制御性がよくなる。

次に本発明の詳細な動作を第2図により説明する。PWM出力 $e_o$ は、一定周波数又は可変周波数でオンオフのパルス波形101として出力される。半導体パワースイッチ1に流れる素子電流 $i_{ch}$ は、パルス波形101と同様にオフ時はゼロとなるが誘導負荷3のためオン時は一定時定数で増加する電流波形102となる。電流検出回路8によって変換された電圧値 $V_{kk}$ の出力波形103も電流波形102

と同様になる。本実施例のようにフライホイールダイオード2が接続された場合の誘導負荷3に流れる負荷電流 $i_L$ は、半導体パワースイッチ1がオン時は素子電流 $i_{ch}$ と同様に一定時定数で増加する電流 $i_L$  (on) となり、オフ時にはフライホール電流として一定時定数で減少する電流 $i_L$  (off) となる。その結果、負荷電流 $i_L$ は増減を繰り返す三角波形104となる。

負荷電流 $i_L$ を連続的に一定値に制御するなどの電流制御を行う場合、半導体パワースイッチ1のオフ時におけるフライホイール電流 $i_L$  (off) を検出する必要がある。本実施例においてPWM出力 $e_o$ がオン時はアナログスイッチ9をオンし、電流検出電圧値 $V_{kk}$  (on) をそのままサンプルホールド電圧 $V_{ff}$  (on) として出力し、オフ時はアナログスイッチ9をオフし電流検出電圧値 $V_{kk}$  (on) の最終値をサンプルし、コンデンサ10にホールドした後サンプルホールド電圧 $V_{ff}$  (off) として出力する。コンデンサ10を小さくし、ホールド時のリーク電流を少なくするためには、パッファアンプ11にFET入力のアンプを用いることが望ましくCMOS構成であっても構わない。

サンプルホールド電圧 $V_{ff}$ の出力波形105は、一般にホールド時の電圧を長時間保持するため検出誤差201, 202, 203が生じ、特にPWM出力 $e_o$ のオフ時間 $T$  (off) が長い領域Aに検出誤差203が増加する傾向にある。

本発明では特にサンプルホールド電圧 $V_{ff}$  (off) を放電回路17により減少させ、負荷電流 $i_L$  (off) と等価的な出力波形106を実現している。

次に、第1図を用いて、本発明を集積回路化した場合の実施例を説明する。半導体パワースイッチ1は、電流検出回路8、サンプルホールド回路13、放電回路17、駆動回路5と共にパワーIC18として同一基板上に集積化される。集積回路においては、特に数百pFファラド以上の大容量のコンデンサや数百kオーム以上の高抵抗を得ることが難しい。例えば誘導負荷3の時定数を50msとし、コンデンサ10の値を50pF（ピコファラド）とすると通常であれば放電抵抗12は1000Mオーム必要であり、集積化はできない。放電抵抗12の高電位側にアナログスイッチ9を設け、発振器14により周波数 $f_{kl}$ でコンデンサ10の充電電荷の放電を断続的に行えば、数百kオームの抵抗値で、擬似的に1000Mオームの高抵抗の時定数が実現できる。

詳細を第3図により説明する。発振器14により発生した周波数 $f_{kl}$ は、放電時間 $T_1$ と保持時間 $T_2$ の比がデューティ比として表されるデューティ比一定の周波数である。PWM出力 $e_o$ がオフ時においてもサンプルホールド電圧 $V_{ff}$ は、 $i_L$ に等しいことが望ましい。この際、放電抵抗12により $T_1$ の期間サンプルホールド電圧 $V_{ff}$ は $V_r$ だけ減少する。 $V_r$ 減少後、 $T_2$ の期間電圧を再度保持することによって $i_L$ に等しい擬似的な長い放電時定数を得ることができる。この放電時定数は、デューティ比と

放電抵抗値によってのみ支配的となり、周波数  $f_{kl}$  のずれには影響されない。放電時間  $T_1$  を短く、保持時間  $T_2$  を長くすれば長い時定数が得やすい。放電時間  $T_1$  にはクロック周波数を、保持時間  $T_2$  にはクロック周波数をフリップ・フロップにより分周した周波数を用いれば、デューティ比の安定した周波数が容易に実現できる。分周ビットを変更しデューティ比を変えることにより、放電抵抗値を変えるなどの調整手段によらず誘導負荷 3 の時定数に合わせることが可能となる。

第1図により説明した実施例において、放電手段である放電抵抗12は定電流源によっても実現できる。第4図に放電抵抗12を定電流源を用いて実現した場合の実施例を示す。集積回路において数百kオームの抵抗値は、定電流源による能動負荷を用いた方が得やすい。本実施例においては、MOSトランジスタの面積比を変えたカレントミラーを用いた例で説明するが、バイポーラトランジスタを用いても構わない。抵抗20と直列にダイオード接続されたnMOSトランジスタ21に基準電流  $I_{ref}$  が流れている。これは通常数十から数百マイクロアンペアの電流である。

トランジスタの面積比を変えることにより、nMOSトランジスタ22にnMOSトランジスタ21の1/Nの微小電流  $I_r$  を流すことができ、等価的により大きな抵抗値となる。本実施例によれば、定電流源をアナログスイッチ15とともにMOSトランジスタで構成すれば、特に集積化時の回路面積が小さくできるといった利点がある。

次に、本発明の第二の実施例を第5図により説明する。本実施例において電流検出回路8は、半導体パワースイッチ1にミラー電流の検出端子を備えた一例を示す。ミラー電流  $i_m$  は、半導体パワースイッチ1の素子電流  $i_{ch}$  のセル比に応じた電流値となる。電流検出抵抗6eはミラー電流  $i_m$  に対して接続されるため、素子電流  $i_{ch}$  に直列に用いた場合のパワー損失が生じない。ミラー電流  $i_m$  は、電流検出抵抗6eによって電流検出電圧値  $V_{kk}$  に変換されこれまでの実施例と同様に用いられる。

また、本実施例においては電流検出抵抗6eやコンデンサ10、定電流源16の低電位側を定電圧源60で作られる基準電圧  $V_{ref}$  を仮想接地電位としている。定電圧源60は例えば定電圧源として良く知られている抵抗61、62、63とトランジスタ64、65、66からなるバンドギャップ・リファレンス回路等があれば良い。

詳細を第6図により説明する。小さな負荷電流領域に

においても半導体パワースイッチ1の電流制御を精度良く行う場合、サンプルホールド回路13のバッファアンプ11の低入力電圧域での不感帯が問題になる。これはバッファアンプ11の電源電圧に制限されるものであり、接地電圧Eを基準にして入出力を行うために生じるものである。入力電圧  $V_{kk}$  に、基準電圧  $V_{ref}$  だけオフセット電圧を持たせてやればバッファアンプ11の低入力電圧域での不感帯の影響を無くすることができる。ミラー電流  $i_m$  の増減による基準電圧  $V_{ref}$  の電圧変動を無くすためには、電流源67によりバイアス電流  $I_b$  を流せばよい。本実施例によれば特に検出精度の優れた電流制御回路が実現できる。

次に、本発明の第三の実施例を第7図により説明する。これは、本発明を同一基板上にパワーIC18として集積化したレイアウトの一例を示す。半導体パワースイッチ1に対して熱的な影響が少なくなるよう、少なくとも100ミクロン以上の一定距離Lだけ離して平行にサンプルホールド回路のコンデンサ10を配置し、半導体パワースイッチ1と反対側に放電回路17を配置する。本実施例によれば、半導体パワースイッチ1の熱的な影響による放電電流の誤差を小さくすることができるといった利点がある。

次にサンプルホールドコンデンサの放電時定数  $\tau$  を誘導負荷を流れる電流の減衰時定数  $\tau_0$  に一致させる為の技術を説明する。

サンプルホールドコンデンサの放電時定数  $\tau$  は

$$\tau = \frac{C}{(\alpha \cdot I_a)}$$

で表わされる。

ここでC：サンプルホールドコンデンサの静電容量

$\alpha$ ：発振器の出力信号のオンデューティ

$$\text{即ち } \frac{T_1}{T_1 + T_2}$$

$$\left( \begin{array}{l} \text{但し、} T_1 : \text{ON時間} \\ T_2 : \text{OFF時間} \end{array} \right)$$

$I_a$ ：引き抜き電流（定電流）

今、誘導負荷を流れる電流の減衰時定数  $\tau_0$  が50msであるとする。

$$C = 50 \text{ pF}, I_a = 2.04 \mu\text{A}, \alpha = \frac{1}{2^{11}} \text{ とすれば、}$$

$$\tau = \frac{50 \times 10^{-12}}{\left( \frac{1}{2^{11}} \right) \times 2.04 \times 10^{-6}} \approx 50 \text{ ms}$$

とすることができる。

もし誘導負荷の時定数が違って、100msの場合は、IC

内部では  $I_e$  又は  $\alpha$  を変えて調整すれば良い。

$I_e$  の場合 ( $I_e = 1.02 \mu A$ ; 以前の半分にする。)

$$\tau_1 = \frac{50 \times 10^{-12}}{\left(\frac{1}{2^{11}}\right) \times 1.02 \times 10^{-6}} \approx 100 \text{ mS}$$

$\alpha$  の場合 ( $\alpha = \frac{1}{2^{12}}$ ; 1 bit ずらす)

$$\tau_1 = \frac{50 \times 10^{-12}}{\left(\frac{1}{2^{12}}\right) \times 1.02 \times 10^{-6}} \approx 100 \text{ mS}$$

IC回路内部では特に修正の簡単なデューティ  $\alpha$  を変えるのが望ましい。クロックより分周して  $\alpha$  を作っている場合は、分周の bit をずらせば良い。通常アルミパターン（配線）で、bit の選択が出来るようにする。外に端子を出して、外部より選択しても良い。

なお、本発明は車両用発電機であるオルタネータの負荷電流を制御するための電圧制御装置（ICレギュレータ）への応用が効果的である。本来の電圧制御の制御ループ内に、本発明の電流検出装置を用いた電流制御のループを設けることにより負荷電流の電流制限や、出力変動の少ない電圧制御が実現できる。また本実施例によれば、サンプルホールド回路、放電回路を用いて半導体パワースwitchのオフ時の負荷電流が検出できるため、サンプルホールド電圧  $V_{ff}$  の検出誤差が少なく電圧制御のループが安定に動作するといった利点も得られる。

#### 【発明の効果】

本発明によれば、制御回路の外に外付部品を使用しなくとも負荷電流が検出できるため実装が容易になる。

また、集積化することによって部品点数が減るため制御回路の信頼性が上がり、またコストが安くできる。

また、集積化するにおいても回路面積が小さくできる

ためICチップのコストが安くできる。また、半導体パワースwitchの検出抵抗による損失を低減できる。

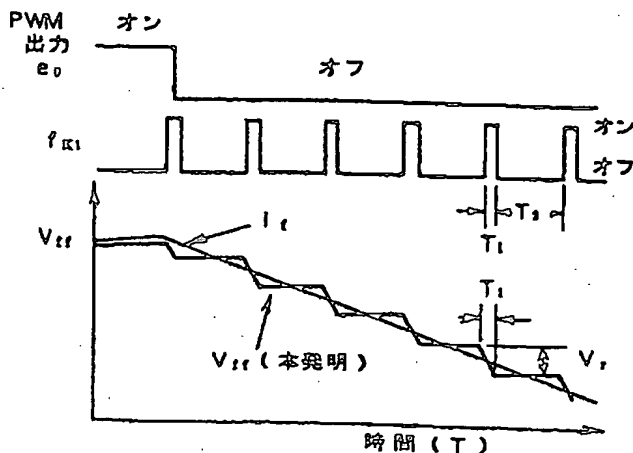
また、検出電流が連続的に小さい誤差で得ることができると制御精度が向上し、制御が安定する。

#### 【図面の簡単な説明】

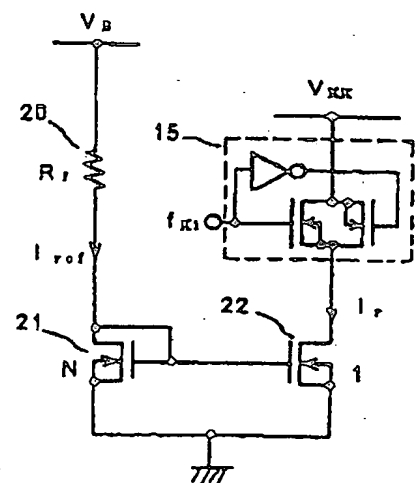
第1図は、本発明の第一の実施例における半導体パワースwitchの電流検出装置の回路図、第2図は、第1図の動作波形図、第3図は、本発明をIC化した場合の動作波形図、第4図はIC化した場合の回路詳細図、第5図は、本発明の第二の実施例における半導体パワースwitchの電流検出装置の回路図、第6図は、第5図の動作波形図で従来との比較図、第7図は、本発明のICチップ上のレイアウト図である。

1……半導体パワースwitch、2……フライホイールダイオード、3……誘導負荷、4……バッテリー、5……駆動回路、6e……電流検出抵抗、8……電流検出回路、9……アナログスイッチ、10……コンデンサ、11……バッファアンプ、12……放電手段（放電抵抗）、13……サンプル・ホールド回路、14……発振器、17……放電回路、18……パワーIC。

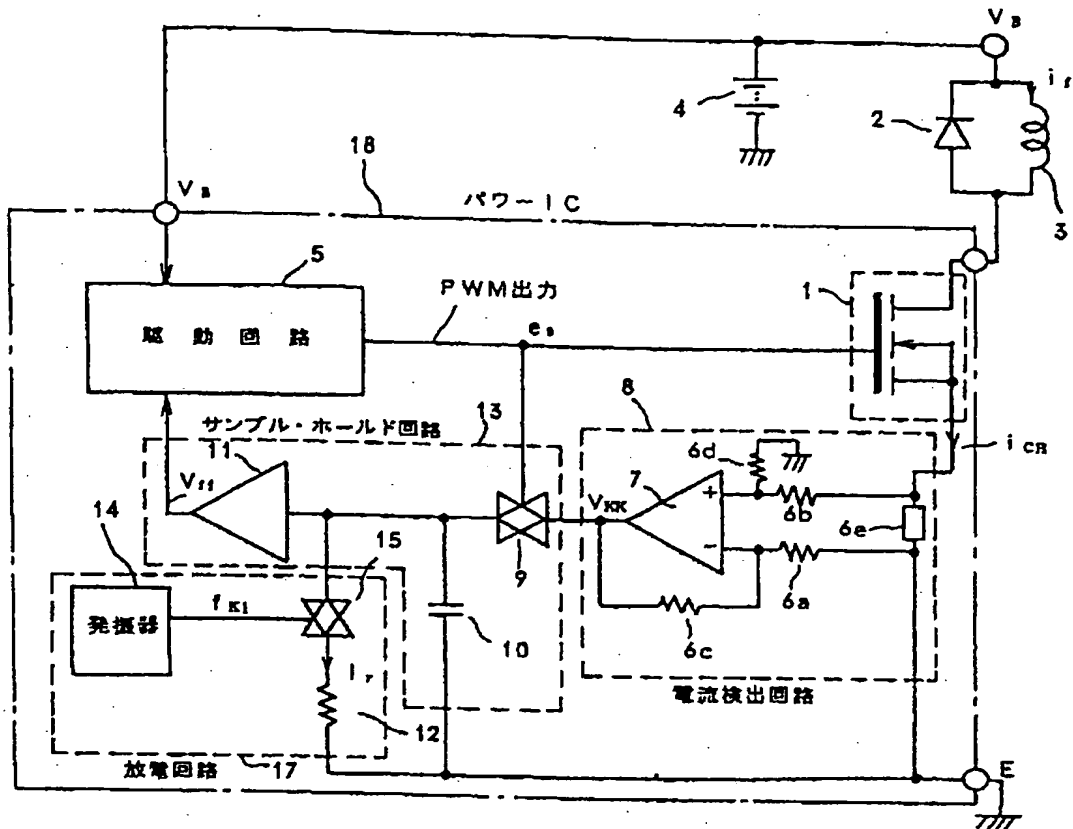
【第3図】



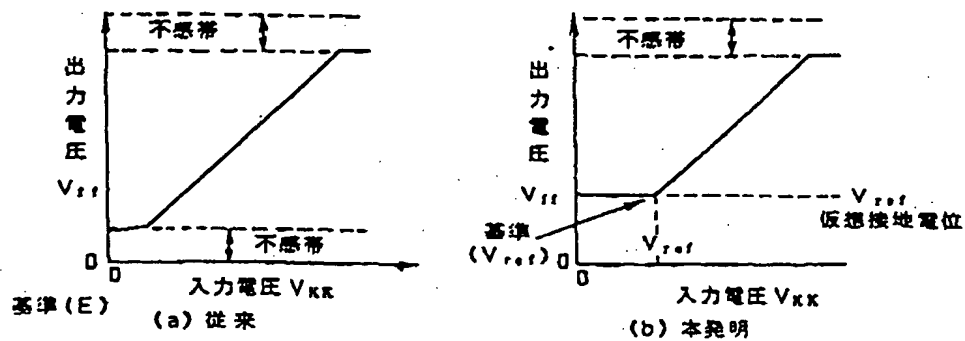
【第4図】



【第1図】



【第6図】

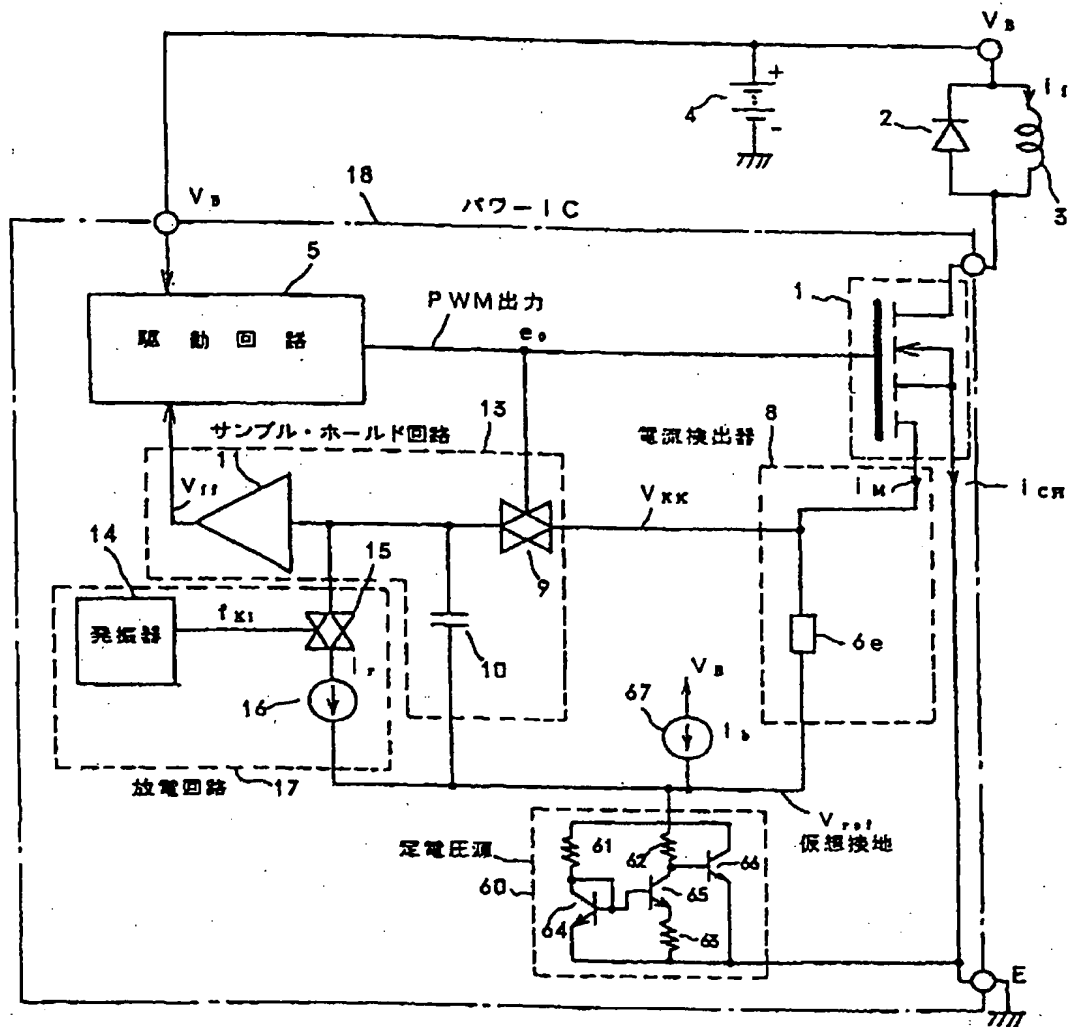




[illegible]

Figure 1 is a block diagram of a power IC (18). The power IC (18) contains a power element (10) and a discharge circuit (17). The discharge circuit (17) includes a capacitor (17) and a discharge circuit (17) connected to the power element (10). The power element (10) is labeled "パワー素子" (Power Element). The discharge circuit (17) is labeled "放電回路" (Discharge Circuit). The capacitor (17) is labeled "コンデンサ" (Capacitor). The power IC (18) is labeled "パワーIC" (Power IC).

【第5図】



フロントページの続き

(72) 発明者 森 雄一

茨城県勝田市大字高場2520番地 株式会  
社日立製作所佐和工場内

(56) 参考文献 特開 昭62-201091 (JP, A)  
特開 昭57-98015 (JP, A)  
特開 昭60-136814 (JP, A)  
特開 昭60-178521 (JP, A)

(58) 調査した分野 (Int. Cl. 6, DB名)

H02P 9/00 - 9/48

G05F 1/10

1. JP,2776980,B

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

(57) [Claim(s)]

[Claim 1] In the current detection equipment of the semiconductor power switch which doubles with the time constant of the aforementioned inductive load the voltage of the sample hold circuit characterized by providing the following, and this sample hold circuit at the time of un-flowing [ of the aforementioned semiconductor power switch ], and comes to have an amendment electric discharge circuit in the aforementioned electric discharge circuit The electric discharge means for discharging the charge voltage of the capacitor of the aforementioned sample hold circuit, The electronic switch for a series connection being carried out to this electric discharge means, and restricting the charging time value of the aforementioned charge voltage, Current detection equipment of the semiconductor power switch characterized by preparing the internal transmitter for driving this electronic switch, and carrying out parallel connection of the aforementioned electric discharge means and the electronic switch to the capacitor of the aforementioned sample hold circuit The semiconductor power switch which controls the flow current of an inductive load The drive circuit of this power switch The current detector which detects the flow current of this power switch as voltage Input amplifier for outputting the analog switch for memorizing the current detection voltage value of this current detector, and changing input voltage to the capacitor for voltage maintenance, and the charge voltage of a capacitor

[Claim 2] It is current detection equipment of the semiconductor power switch characterized by the aforementioned electric discharge means being a resistor or a constant current source in the claim 1 publication.

[Claim 3] Current detection equipment of the semiconductor power switch characterized by preparing frequency and a duty ratio adjustable means in the internal transmitter which drives the aforementioned electronic switch in claim 1 publication.

[Claim 4] Current detection equipment of the semiconductor power switch characterized by making the low voltage side of the capacitor of the aforementioned sample hold circuit into virtual installation potential as high potential from the installation voltage of a circuit in the claim 1 publication.

[Claim 5] Current detection equipment of the semiconductor power switch characterized by discharging with minute current using an active load with a transistor for the electric discharge means of the aforementioned electric discharge circuit in the claim 1 publication.

[Claim 6] It is current detection equipment of the semiconductor power switch characterized by using the current detection equipment of a semiconductor power transistor for the exciting-current control circuit of the charging generator for vehicles in claim 1 publication.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Industrial Application]

this invention relates to the current control circuit of a semiconductor power switch, for example, relates to the current control circuit of the suitable semiconductor power switch for the arrangement for controlling electric generator for vehicles, an inverter control unit, etc.

[Description of the Prior Art]

The method with which a semiconductor power switch restricts [ in / switch-on / for the detected load current ] the output current to JP,58-500046,A like a publication as equipment which controls the current of an inductive load conventionally as compared with reference voltage is learned.

[Problem(s) to be Solved by the Invention]

The above-mentioned conventional technology detects the load current through a semiconductor power switching device, and only when fixed level is reached as compared with reference voltage, it restricts current value intermittently. Moreover, in order to control current stably so that change of the load current decreases even if it is in ambient temperature or disturbance, it is desirable to control current continuously.

If detection resistance is prepared in a load and a serial or current sensing elements, such as a hall device, are used for them also in the above-mentioned conventional technology, it is possible to control current continuously. However, it was difficult for a hall device and its drive circuit to be needed in that case, and for the system configuration up article mark of current control to increase, and to unify and mount a control circuit.

The purpose of this invention is offered without addition of the current detection equipment which does not depend the load current of an inductive load on the flow of a semiconductor power switch, and non-switch-on, but can control it continuously of special external parts.

Other purposes of this invention offer the current detection equipment of the semiconductor power switch suitable for integration.

[The means for solving a technical problem]

The semiconductor power switch whose this invention controls the flow current of an inductive load, The drive circuit of this power switch, and the current detector which detects the flow current of this power switch as voltage, The current detection voltage value of this current detector is memorized. And the capacitor for voltage maintenance, The sample hold circuit which consists of an analog switch for changing input voltage, and input amplifier for outputting the charge voltage of a capacitor, In the current detection equipment of the semiconductor power switch which doubles the voltage of this sample hold circuit with the time constant of the aforementioned inductive load at the time of un-flowing [ of the aforementioned semiconductor power switch ], and comes to have an amendment electric discharge circuit The electric discharge means for discharging the charge voltage of the capacitor of the aforementioned sample hold circuit in the aforementioned electric discharge circuit, The electronic switch for a series connection being carried out to this electric discharge means, and restricting the charging time value of the aforementioned charge voltage, It is attained by the current detection equipment of the semiconductor power switch which prepares the internal transmitter for driving this electronic switch, and carries out parallel connection of the aforementioned electric discharge means and the electronic switch to the capacitor of the aforementioned sample hold circuit.

It is attained by the current detection equipment of the semiconductor power switch which made the aforementioned electric discharge means preferably the resistor or the constant current source of this invention.

It is attained by the current detection equipment of the semiconductor power switch which prepared frequency and the duty ratio adjustable means in the internal transmitter of this invention which drives the aforementioned electronic switch preferably.

It is attained by the current detection equipment of the semiconductor power switch which made the low voltage side of the capacitor of the aforementioned sample hold circuit virtual installation potential as high potential more preferably than the installation voltage of a circuit of this invention.

It is attained by the current detection equipment of a semiconductor power switch made to discharge with minute current using the active load of this invention according to a transistor to the electric discharge means of the aforementioned electric discharge circuit preferably.

It is attained by the current detection equipment of the semiconductor power switch preferably used for the exciting-current control circuit of the charging generator for vehicles of this invention.

[Function]

If it cannot be based on the flow of a semiconductor power switch, and non-switch-on but the detection value of the load current can be acquired as a continuation value, since a current feedback value is not intermittent, a control loop is stabilized, and the malfunction by the error of average current can be lost.

[Example]

Hereafter, a view 1 explains the example of this invention. The semiconductor power switch 1 is connected with an inductive load 3 between DC power supplies 4 through current detection resistance 6e, the aforementioned inductive load 3 is connected to the high potential side of the semiconductor power switch 1, and current detection resistance 6e is connected to the low voltage side. Moreover, the fly wheel diode 2 is connected in parallel with an inductive load 3. However, especially even if it is a high potential side and connection of an inductive load is a low voltage side, it is not limited.

Although N channel power metal-oxide semiconductor field effect transistor explains the semiconductor power switch 1 in this example, you may be IGBT which is the compound device of P channel power metal-oxide semiconductor field effect transistor, a bipolar element and MOSFET, and BAIPORA. Electrically, an inductive load 3 consists of an L component and an R component, and has the time constant of  $L/R$ .

The current detector 8 uses low resistance of 0.1 ohms or less for current detection resistance 6e, and detects the element current  $i_{ch}$  which flows on the semiconductor power switch 1 by amplifier 7 and the network resistance 6a, 6b, 6c, and 6d as an output voltage value  $V_{kk}$  of amplifier 7. The output of amplifier 7 is fed back to the drive circuit 5 of the semiconductor power switch 1 through a sample hold circuit 13. The sample hold circuit 13 consists of an analog switch 9 driven by the PWM output  $e_o$  of the drive circuit 5, a capacitor 10 holding the output voltage value  $V_{kk}$  of amplifier 7, and a buffer amplifier 11 of the FET input fed back to the drive circuit 5 by considering sample hold voltage  $V_{ff}$  as an output.

The series connection of the electric discharge circuit 17 is carried out to the electric discharge means which consists of resistance 12 for discharging the charge voltage of the capacitor 10 of the aforementioned sample hold circuit 13, and this electric discharge means, and it consists of internal transmitters 14 for driving the electronic switch 15 and this electronic switch for restricting the charging time value of the aforementioned charge voltage, and is carrying out parallel connection of the aforementioned electric discharge means and the electronic switch 15 to the capacitor 10 of the aforementioned sample hold circuit 13.

This electric discharge circuit 17 has a time constant equivalent to the time constant of  $L/R$  of an inductive load 3. That is, if there is no electric discharge circuit 17 at the time of the small capacity whose capacity of a capacitor 10 is dozens of pF, it will become operation of only leak electric discharge and the time constant of the sample hold voltage  $V_{ik}$  will serve as infinity (state where electric discharge resistance becomes infinity and equivalence), seemingly. Consequently, mismatching arises in the time constant of the load  $I_f$  of an inductive load 3, and the time constant of the sample hold voltage  $V_{ik}$  which detected element current  $i_{ch}$  with the sample hold circuit 13, and current control becomes unstable. In order that current control may prevent a bird clapper unstably by such mismatching of a time constant, the electric discharge time constant of the sample hold voltage  $V_{ik}$  and the time constant of the load current  $I_f$  are adjusted by the electric discharge circuit 17.

However, it will become an unreal value, if it is necessary to enlarge the equivalence-resistance of the electric discharge circuit 17 more than with several mega ohm and integration etc. is considered, in order to match with the time constant of  $L/R$  of an inductive load 3 which serves as a controlled system at the time of the small capacity whose capacity of a capacitor 10 is dozens of pF. Then, especially in this example, the electric discharge circuit 17 is made into the circuitry which discharges by resistance 12 intermittently by the intermittent pulse using VCO 14 and the switch 15. By discharging intermittently, the usual value of dozens which can be integrated to number 100 kilo ohm can be used now for resistance. VCO 14 and the switch 15 fit integration as a semiconductor, and carrying out dividing of the basic clock in a original oscillation, and it being narrow and carrying out intermittent pulse generating by logic synthesis, etc. can realize especially VCO 14 easily. When using resistance 12 for electric discharge in the electric discharge circuit 17,

since resistance is a passive element, the controllability of an electric discharge time constant becomes good that it is hard to be influenced of supply voltage.

Next, a view 2 explains detailed operation of this invention. The PWM output  $eo$  is outputted as a pulse shape 101 of turning on and off with constant frequency or a variable frequency. Although it becomes zero, since the element current  $icH$  which flows on the semiconductor power switch 1 is an inductive load 3 like pulse shape 101 at the time of OFF, it is set to current wave form 102 which increases with a fixed time constant at the time of ON. The output wave 103 of the voltage value  $V_{kk}$  changed by the current detector 8 also becomes being the same as that of current wave form 102. The semiconductor power switch 1 serves as the current if (on) which increases with a fixed time constant like element current  $icH$  at the time of ON, and the load current if which flows to the inductive load 3 when a fly wheel diode 2 is connected like this example turns into the current if (off) which decreases with a fixed time constant as flywheel current at the time of OFF. Consequently, the load current if serves as the triangular waveform 104 which repeats increase and decrease.

When performing current control of controlling the load current if to constant value continuously, it is necessary to detect the flywheel current if (off) at the time of OFF of the semiconductor power switch 1. After the PWM output  $eo$  turns on an analog switch 9 at the time of ON, outputs the current detection voltage value  $V_{kk}$  (on) as sample hold voltage  $V_{ff}$  (on) as it is, and turning off an analog switch 9 at the time of OFF, carrying out the sample of the final value of the current detection voltage value  $V_{kk}$  (on) and holding it to a capacitor 10 in this example, it outputs as sample hold voltage  $V_{ff}$  (off). In order to make a capacitor 10 small and to lessen the leakage current at the time of a hold, it may be CMOS composition desirably to use the amplifier of an FET input for a buffer amplifier 11.

In order to hold the voltage at the time of a hold generally for a long time, the detection error 201,202,203 arises, and the output wave 105 of the sample hold voltage  $V_{ff}$  has the OFF time  $T$  of the PWM output  $eo$  (off) in the inclination which the detection error 203 increases to the long field A especially.

Especially in this invention, the sample hold voltage  $V_{ff}$  (off) was decreased by the electric discharge circuit 17, and the load current if (off) and the equivalence output wave 106 are realized.

Next, the example at the time of integrated-circuit-izing this invention is explained using a view 1. The semiconductor power switch 1 is integrated on the same base as power IC 18 with the current detector 8, a sample hold circuit 13, the electric discharge circuit 17, and the drive circuit 5. an integrated circuit -- setting -- especially -- hundreds -- a mass capacitor p F or more and hundreds -- it is difficult to obtain high resistance of k ohms or more for example, -- if it usually comes out and is, when the time constant of an inductive load 3 is set to 50ms and the value of a capacitor 10 is set to 50pf(s) (pico farad) -- the electric discharge resistance 12 -- 1000 -- M ohms is required and integration is impossible. If an analog switch 9 is formed in the high potential side of the electric discharge resistance 12 and the charge charge of a capacitor 10 is intermittently discharged on frequency  $f_{K1}$  with VCO 14, the 1000M ohm time constant of high resistance is realizable in false with the resistance of a several 100k ohm.

A view 3 explains a detail. The frequency  $f_k$  generated with VCO 14 is the frequency of the duty ratio regularity to which the ratio of a charging time value  $T_1$  and the holding time  $T_2$  is expressed as a duty ratio. It is desirable for the sample hold voltage  $V_{ff}$  to have the equal PWM output  $eo$  to if at the time of OFF. Under the present circumstances, as for the period sample hold voltage  $V_{ff}$  of the electric discharge resistance  $12T_1$ , only  $V_r$  decreases. A false long electric discharge time constant equal to if can be obtained by holding the period voltage of  $T_2$  again after  $V_r$  reduction. Only with a duty ratio and electric discharge resistance, this electric discharge time constant becomes dominant, and is not influenced by gap of frequency  $f_{k1}$ . It is short in a charging time value  $T_1$ , and if the holding time  $T_2$  is lengthened, it will be easy to obtain a long time constant. If the frequency which carried out dividing of the clock frequency for the clock frequency to the holding time  $T_2$  with the flip-flop is used for a charging time value  $T_1$ , frequency by which the duty ratio was stabilized can be realized easily. By changing a dividing bit and changing a duty ratio, it becomes possible not to be based on adjustment meanses, such as changing electric discharge resistance, but to double with the time constant of an inductive load 3.

In the example explained with the view 1, the electric discharge resistance 12 which is an electric discharge means is realizable with a constant current source. The example at the time of using a constant current source and realizing electric discharge resistance 12 is shown in a view 4. In an integrated circuit, having used the active load by the constant current source tends to obtain the resistance of a several 100k ohm. In this example, although the example using the current mirror which changed the surface ratio of an MOS transistor explains, you may use a bipolar transistor. Reference current  $I_{ref}$  is flowing to the nMOS transistor 21 by which diode connection was made in series with resistance 20. This is usually current of dozens to number 100 microampere.

By changing the surface ratio of a transistor, the minute current  $I_r$  of  $1/N$  of the nMOS transistor 21 can be passed to the nMOS transistor 22, and it becomes more [ in equivalent ] big resistance. If a constant current source is constituted

from an MOS transistor with an analog switch 15 according to this example, there is an advantage that circuit area at the time of integration is made especially small.

Next, a view 5 explains the second example of this invention. In this example, the current detector 8 shows an example which equipped the semiconductor power switch 1 with the element child of mirror current. Mirror current  $i_m$  serves as current value according to the cell ratio of the element current  $i_{cH}$  of the semiconductor power switch 1. Since it connects to mirror current  $i_m$ , the power loss at the time of using for element current  $i_{cH}$  in series does not produce current detection resistance  $6e$ . Mirror current  $i_m$  is changed into the current detection voltage value  $V_{kk}$  by current detection resistance  $6e$ , and is used like an old example.

Moreover, reference voltage  $V_{ref}$  made in the source 60 of a constant voltage in this example in the current detection resistance  $6e$ , capacitor 10, and low voltage side of a constant current source 16 is made into artificial ground potential. The source 60 of a constant voltage should just have the band-gap reference circuit which consists of resistance 61, 62, and 63 well known as a source of a constant voltage, and transistors 64, 65, and 66.

A view 6 explains a detail. When performing current control of the semiconductor power switch 1 with a sufficient precision also in a small load current field, the neutral zone in the low input voltage region of the buffer amplifier 11 of a sample hold circuit 13 becomes a problem. This is restricted to the supply voltage of a buffer amplifier 11, and it is produced in order to output and input on the basis of the grounding voltage  $E$ . If only reference voltage  $V_{ref}$  gives offset voltage to input voltage  $V_{kk}$ , the influence of the neutral zone in the low input voltage region of a buffer amplifier 11 can be lost. What is necessary is just to pass a bias current  $I_b$  by the current source 67, in order to lose the voltage variation of the reference voltage  $V_{ref}$  by the change in mirror current  $i_m$ . According to this example, the current control circuit which was excellent in detection precision is especially realizable.

Next, a view 7 explains the third example of this invention. This shows an example of a layout which integrated this invention as power IC 18 on the same substrate. Only fixed distance  $L$  at least 100 microns or more is detached, the capacitor 10 of a sample hold circuit is arranged in parallel, and the electric discharge circuit 17 is arranged to the semiconductor power switch 1 and an opposite side so that thermal influence may decrease to the semiconductor power switch 1. According to this example, there is an advantage that the error of the discharge current under the thermal influence of the semiconductor power switch 1 can be made small.

Next, the technology for making the electric discharge time constant  $\tau$  of a sample hold capacitor in agreement with damping time constant  $\tau_{\alpha}$  of current which flows an inductive load is explained.

$$\tau = \frac{C}{(\alpha \cdot I_a)}$$

The electric discharge time constant  $\tau$  of a sample hold capacitor

It is come out and expressed.

It is  $C$  here. : Electrostatic capacity of a sample hold capacitor  $\alpha$ : On-duty of the output signal of VCO

即ち 
$$\frac{T_1}{T_1 + T_2}$$

$$\left( \begin{array}{l} \text{但し、 } T_1 : \text{ON時間} \\ T_2 : \text{OFF時間} \end{array} \right)$$

<EMI ID=000004 HE=020 WI=061 LX=1195 LY=2050>  $I_e$ : Drawing current (constant current)

Now, suppose that flowing damping time constant  $\tau_{\alpha}$  of current is an inductive load 50ms.

$C = 50 \text{ pF}$ ,  $I_a = 2.04 \mu\text{A}$ ,  $\alpha \approx \frac{1}{2^{11}}$  とすれば、

$$\tau = \frac{50 \times 10^{-12}}{\left(\frac{1}{2^{11}}\right) \times 2.04 \times 10^{-6}} \approx 50 \text{ ms}$$

It can carry out.

The time constant of an inductive load is different, inside IC, in 100ms,  $I_e$  or  $\alpha$  is changed, and it should just adjust it.



In the case of  $I_e$  (it is made half [ before  $I_e=1.02\mu\text{A}$ ; ].)

$$\tau_1 = \frac{50 \times 10^{-12}}{\left(\frac{1}{2^{11}}\right) \times 1.02 \times 10^{-6}} \approx 100 \text{ mS}$$

$\alpha$  の場合  $\left(\alpha \frac{1}{2^{12}} ; 1 \text{ bit ずらす}\right)$

$$\tau_1 = \frac{50 \times 10^{-12}}{\left(\frac{1}{2^{12}}\right) \times 1.02 \times 10^{-6}} \approx 100 \text{ mS}$$

Inside IC circuit, it is desirable to change the duty alpha of correction especially. What is necessary is just to shift bit of dividing, when dividing is carried out and alpha is being made from the clock. Usually, it can be made to perform selection of bit by the aluminum pattern (wiring). A terminal may be taken out outside and you may choose from the exterior.

In addition, the application of this invention to the armature-voltage control equipment (IC regulator) for controlling the load current of the AC dynamo which is a generator for vehicles is effective. Current limiting of the load current and armature-voltage control with little output change are realizable by establishing the loop of the current control which used the current detection equipment of this invention in the control loop of original armature-voltage control.

Moreover, according to this example, since the load current at the time of OFF of a semiconductor power switch is detectable using a sample hold circuit and an electric discharge circuit, there are few detection errors of the sample hold voltage  $V_{ff}$ , and the advantage that the loop of armature-voltage control operates stably is also acquired.

[Effect of the Invention]

According to this invention, since the load current is detectable even if it does not use an external component out of a control circuit, mounting becomes easy.

Moreover, since part mark become fewer by integrating, the reliability of a control circuit goes up, and cost is made at a low price.

Moreover, since it also sets to integrate and circuit area is made small, cost of IC chip is made at a low price. Moreover, loss by detection resistance of a semiconductor power switch can be reduced.

Moreover, since detection current can obtain with a small error continuously, control precision improves, and control is stabilized.

---

[Translation done.]

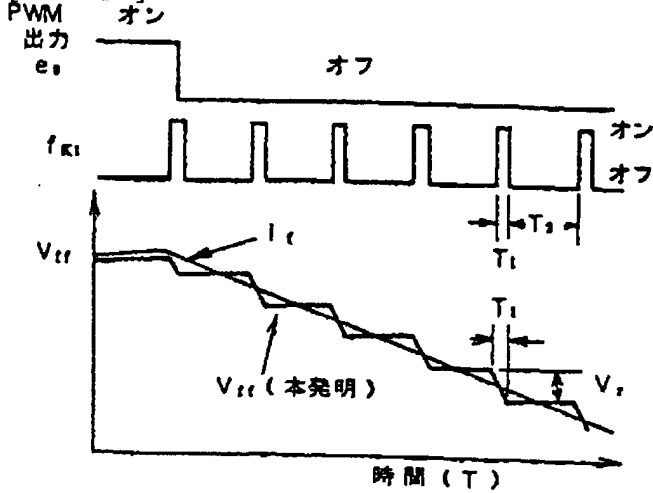
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

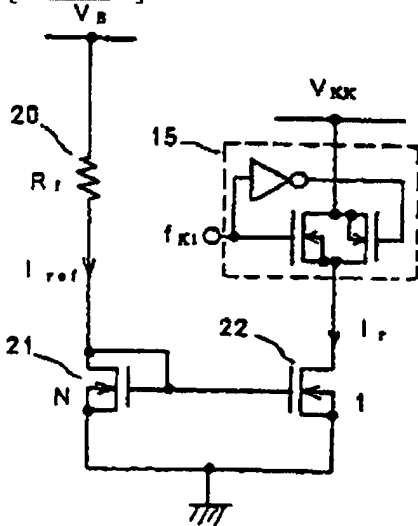
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

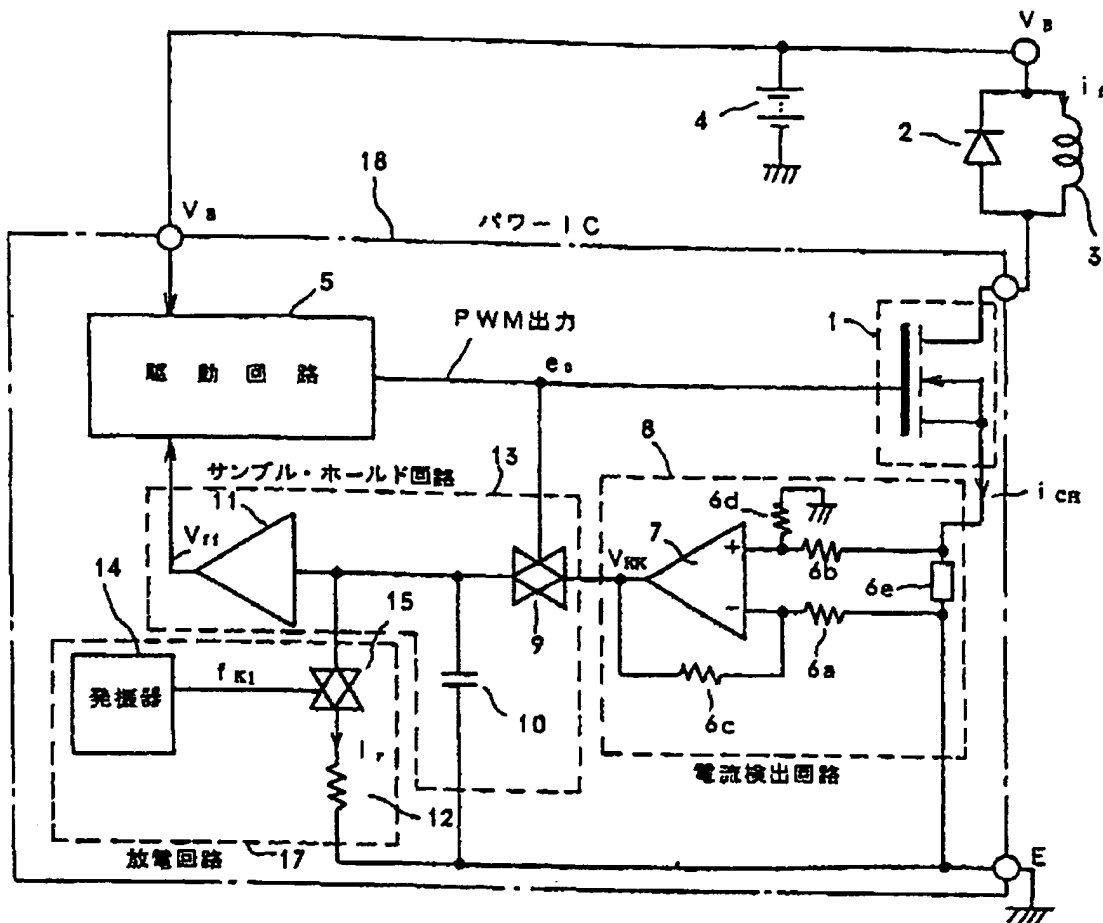
[A view 3]



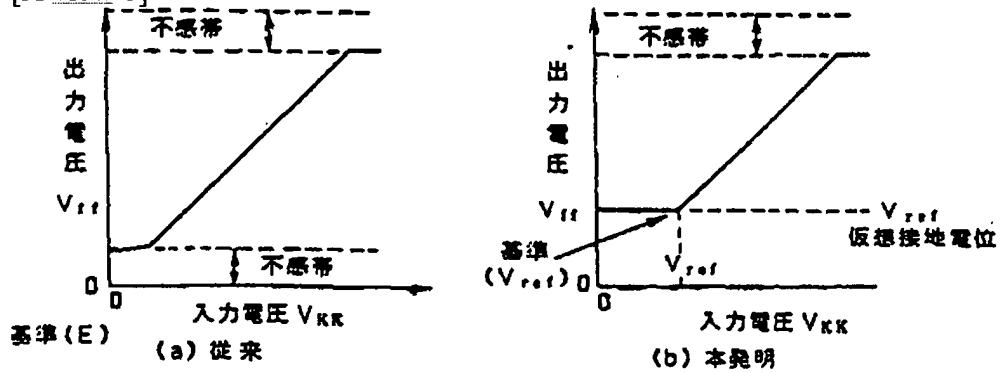
[A view 4]



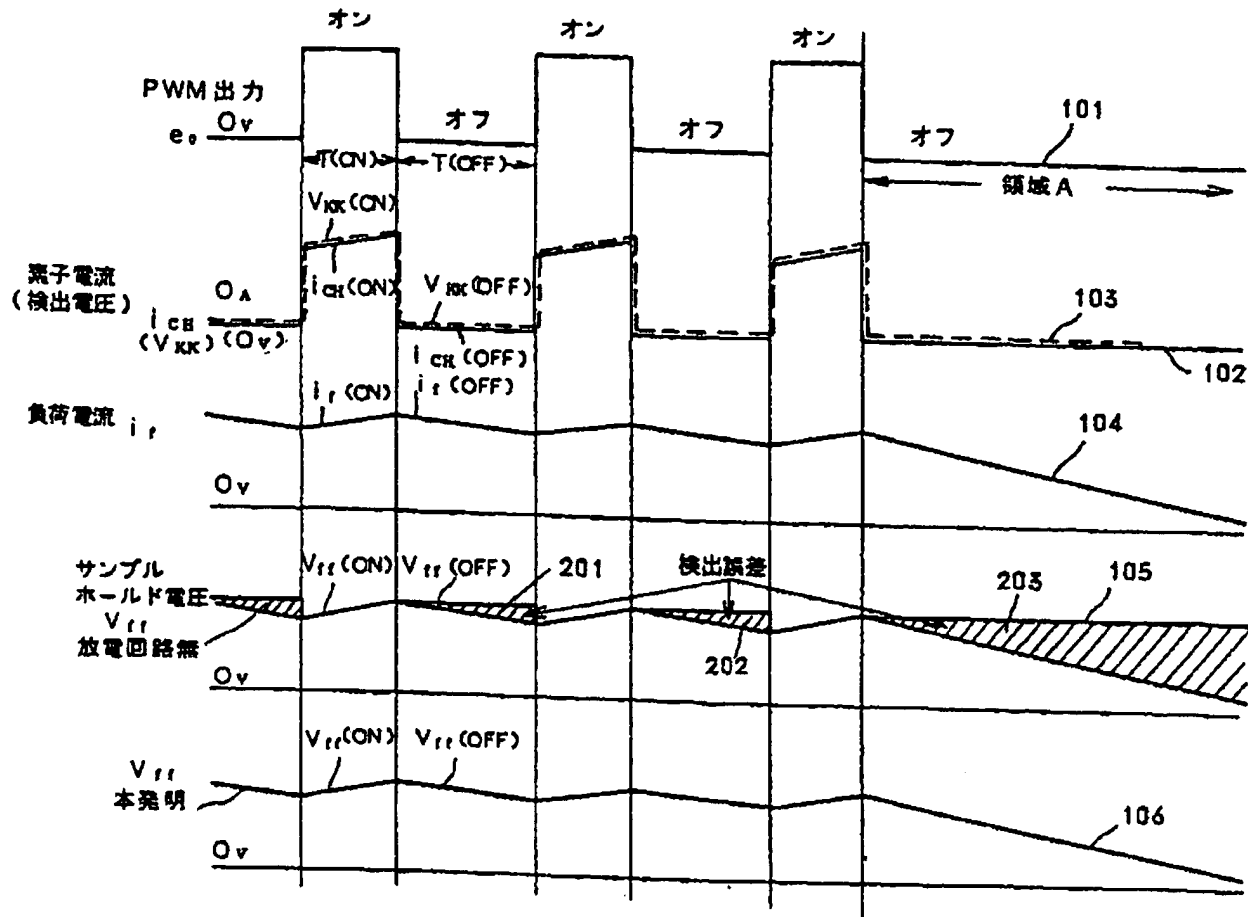
[A view 1]



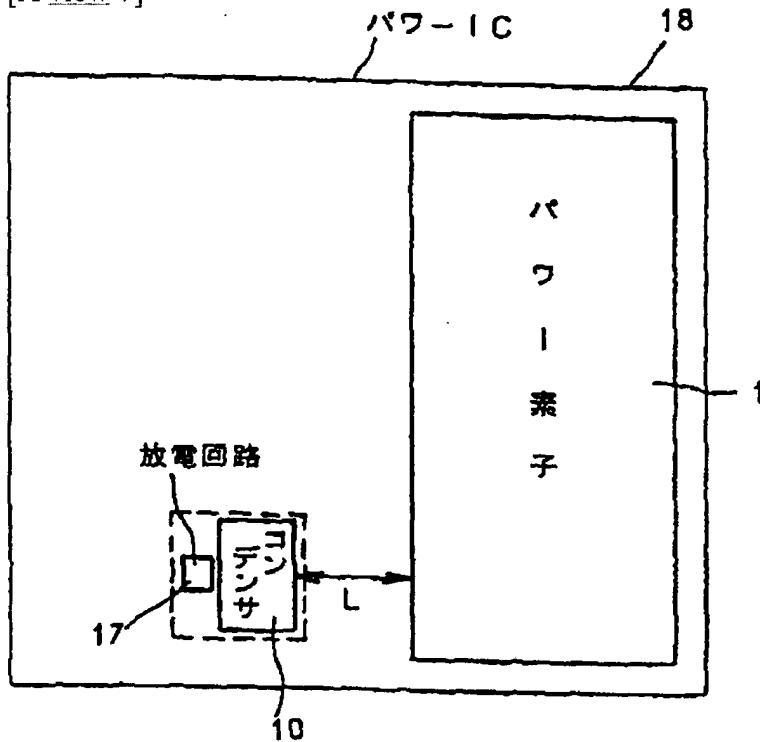
[A view 6]



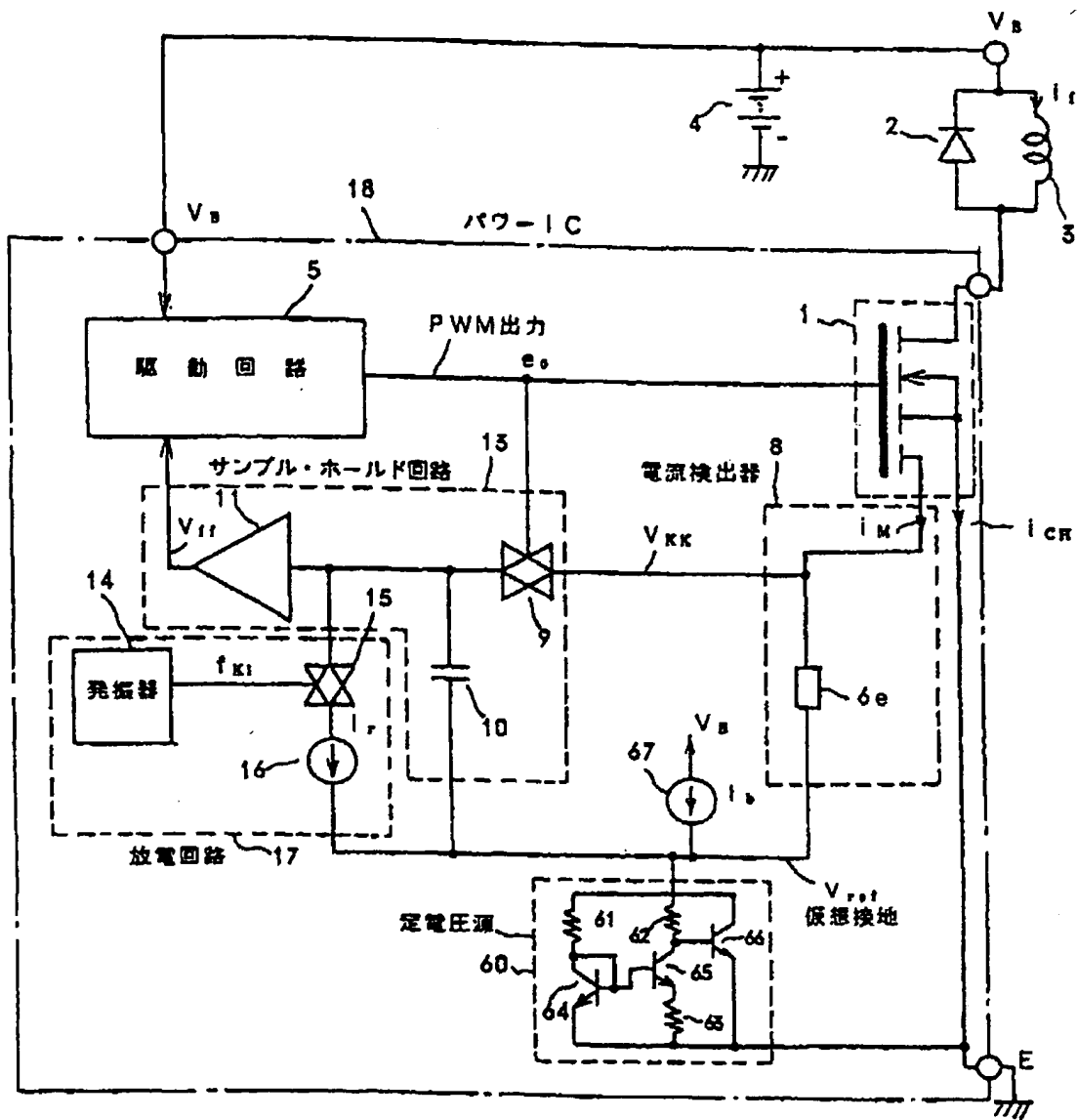
[A view 2]



[A view 7]



[A view 5]



[Translation done.]